



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q77276

Shinji KASHIWAGI

Appln. No.: 10/654,972

Group Art Unit: 2612

Confirmation No.: 5636

Examiner: Unknown

Filed: September 5, 2003

For: BOUNDARY SCAN DEVICE

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-260040,
the priority document on which a claim to priority was made under 35 U.S.C. § 119. The
Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosure: Japanese Patent Application No. 2002-260040

Date: February 13, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

S. Kashiwagi
Appln. 10/654,972
Filed 9/5/02
Q 77276

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 5日

出 願 番 号
Application Number:

特願2002-260040

[ST.10/C]:

[JP2002-260040]

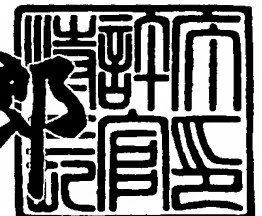
出 願 人
Applicant(s):

NECエレクトロニクス株式会社

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048856

【書類名】 特許願
【整理番号】 71110561
【あて先】 特許庁長官殿
【国際特許分類】 G01R 31/28
G01R 31/3177
G01R 31/3181

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
本電気株式会社内

【氏名】 柏木 伸次

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バウンダリスキャンテスト回路

【特許請求の範囲】

【請求項 1】 回路の機能ブロックであるマクロの境界で信号経路に挿入され通常モード時に入力端から出力端へ信号を伝達しテストモード時にテスト専用外部端子によりテストパターンをスキャンシフト入出力するバウンダリスキャンテスト回路において、

テストモード時に前記入力端から前記出力端へ信号を伝達し前記出力端の信号のゲート出力をキャプチャすることを特徴とするバウンダリスキャンテスト回路。

【請求項 2】 前記マクロの境界で入力信号経路ごとに挿入され、テストモード時に前記マクロの外部側をテスト対象として選択指定するテスト制御信号に対応して前記入力端から前記出力端へ信号を伝達する入力側バウンダリスキャンセルと、

前記マクロの境界で出力信号経路ごとに挿入されテストモード時に前記テスト制御信号の反転信号に対応して前記入力端から前記出力端へ信号を伝達する出力側バウンダリスキャンセルとを備える、請求項 1 記載のバウンダリスキャンテスト回路。

【請求項 3】 前記入力側バウンダリスキャンセルが、テストモード時にスキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトしアップデート出力するスキャンセルと、

このスキャンセルのアップデート出力および前記入力端の信号を入力しテストモード時に前記テスト制御信号に対応して前記入力端の信号を選択し前記出力端へ出力するセレクタとを備え、

前記出力側バウンダリスキャンセルが、テストモード時にスキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトしアップデート出力するスキャンセルと、

このスキャンセルのアップデート出力および前記入力端の信号を入力しテストモード時に前記テスト制御信号の反転信号に対応して前記入力端の信号を選択し前記出力端へ出力するセレクタとを備える、請求項 2 記載のバウンダリスキャンテ

スト回路。

【請求項 4】 前記マクロの境界で信号経路ごとに挿入され、テストモード時にキャプチャ動作を制御するテスト制御信号に対応して前記入力端から前記出力端へ信号を伝達するバウンダリスキャンセルを備える、請求項 1 記載のバウンダリスキャンテスト回路。

【請求項 5】 前記バウンダリスキャンセルが、テストモード時にスキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトしアップデート出力するスキャンセルと、

このスキャンセルのアップデート出力および前記入力端の信号を入力しテストモード時に前記テスト制御信号に対応して前記入力端の信号を選択し前記出力端へ出力するセレクタとを備える、請求項 4 記載のバウンダリスキャンテスト回路。

【請求項 6】 前記スキャンセルが、テストモード時に前記スキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトするスキャンセルと、

テストモード時に前記スキャンチェーンと異なる方式のスキャンチェーンを別途構成しスキャンシフトしアップデート出力するスキャンセルとからなる、請求項 3 または 5 記載のバウンダリスキャンテスト回路。

【請求項 7】 前記セレクタが、通常モード時に前記入力端の信号を選択する、請求項 3, 5 または 6 記載のバウンダリスキャンテスト回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はバウンダリスキャンテスト回路に関し、特に、回路の機能ブロックであるマクロの境界で信号経路に挿入されるバウンダリスキャンテスト回路に関する。

【0 0 0 2】

【従来の技術】

近年の半導体集積回路や半導体集積回路を搭載するボードの微細化や高集積度化に伴い、ボードをテストする際に、ボードにプローブを立ててテストすること

が困難になってきた。その対策として提案されたテスト方法を実現するためのテスト回路として、I E E E 1 1 4 9 . 1 で標準仕様が規定されているバウンダリスキャンテスト回路がある。このバウンダリスキャンテスト回路を半導体集積回路の内部回路および外部端子間の信号経路に予め挿入することにより、通常モード時に半導体集積回路の本来の入出力信号の伝達および観測を行い、テストモード時にテスト専用外部端子により半導体集積回路の内部回路または外部端子へテストパターン信号をスキャンシフト入出力でき、ボード上に置かれた半導体集積回路間で信号の授受が確実に行われたかテストできる。

【 0 0 0 3 】

このバウンダリスキャンテスト回路を半導体集積回路の内部ブロック間の信号経路に適用する例が開示されている（例えば、特許文献 1 参照）。

【 0 0 0 4 】

図 6 は、このバウンダリスキャンテスト回路を内部ブロック間に適用したカスタム L S I の構成例を示すブロック図である。このカスタム L S I は、ユーザ機能を履行する半導体集積回路であり、例えば、スタンダードセルを用いてユーザ仕様にに基づき設計され、マクロ 1，周辺回路 2，バウンダリスキャンテスト回路 3 を備える。

【 0 0 0 5 】

マクロ 1 は、ユーザ利用のため提供者により予め設計および検証された回路の機能ブロックであり、I P (I n t e l l e c t u a l P r o p e r t y) として提供されたものである。また、このマクロ 1 は、提供者により単体にて設計が開始され、その周囲にどのような回路が配置されるかは不明であり、一般的には、マクロ 1 単体でも故障検出可能なように、たとえば、図示のように、スキャンチェーンを用いるなどのテスト容易化設計がなされる。このスキャンチェーンは、テストモード時にテスト専用外部端子 I p S I，I p S O 間にシフトレジスタ接続されテストパターンをスキャンシフト入出力し通常モード時にそれぞれ独立のフリップフロップ素子として動作するスキャンセルをそれぞれ備える。

【 0 0 0 6 】

周辺回路 2 は、スタンダードセルを用いてユーザ仕様にに基づき設計され、通常

モード時にバウンダリスキャンテスト回路3を介してマクロ1との間で信号を入出力し、マクロ1の外部周辺として動作する回路であり、マクロ1との協働により、ユーザ機能を履行する。マクロ1と同様に故障検出可能なように、たとえば、図示のように、スキャンチェーンを用いるなどのテスト容易化設計がなされる。このスキャンチェーンは、テストモード時にテスト専用外部端子USI, USO間にシフトレジスタ接続されテストパタン信号をスキャンシフト入出力し通常モード時にそれぞれ独立のフリップフロップ素子として動作するスキャンセルをそれぞれ備える。

【0007】

バウンダリスキャンテスト回路3は、マクロ1の境界で信号経路に挿入され、通常モード時にマクロ1の入出力信号の伝達および観測を行い、テストモード時にテスト専用外部端子BSI, BSOによりテストパタン信号をスキャンシフト入出力する。また、このバウンダリスキャンテスト回路3は、マクロ1の入力信号経路ごとに挿入された入力側バウンダリスキャンセルBI1～BIxと、マクロ1の出力信号経路ごとに挿入された出力側バウンダリスキャンセルBO1～BOxとを備える。

【0008】

図7、図8は、これら入力側バウンダリスキャンセルBI1～BIx, 出力側バウンダリスキャンセルBO1～BOxの例を示すブロック図である。

【0009】

図7を参照すると、この従来例の入力側バウンダリスキャンセルBI1～BIxは、マクロ1の入力信号経路に挿入された入力端と出力端との間に、スキャンセル51, セレクタ52, ゲート53をそれぞれ備える。

【0010】

スキャンセル51は、テストモード時を示すテスト制御信号SCANTESTに基づきスキャンチェーンをテスト専用外部端子BSI, BSO間に構成し、スキャンシフト動作またはキャプチャ動作を制御するテスト制御信号SCANENなどのテスト制御信号およびクロック信号に基づきゲート53の出力をキャプチャしスキャンシフトしアップデート出力する。このスキャンセル51には、マル

チプレクサ型、クロックドLSSD (Level Sensitive Scan Design) 型などの異なる方式がある。例えば、マルチプレクサ型のスキャンセルは、セクタ、フリップフロップおよびラッチにより構成され、セクタは、キャプチャ入力およびシフト入力からテスト制御信号SCANENに基づきキャプチャ入力を選択し、フリップフロップは、テストモード時にセクタの出力をデータ入力としクロック信号に基づきシフト出力し、ラッチは、他のテスト制御信号に基づきフリップフロップのシフト出力をラッチして直並列変換しアップデート出力する。

【0011】

セクタ52は、スキャンセル51のアップデート出力および入力端の信号を入力し、テスト制御信号SCANTESTに対応してアップデート出力を選択し出力端へ出力する。

【0012】

ゲート53は、この従来例では、入力端の信号を入力し、テストモード時にマクロ1の外部側をテスト対象として選択指定するテスト制御信号EXSCANTESTに対応してゲート制御しスキャンセル51のキャプチャ入力へ出力する2入力ゲートである。例えば、マクロ1の外部がテスト対象でない場合、テスト制御信号EXSCANTESTが‘0’であるので、入力端の信号が周辺回路2側から伝達し不定値であっても、テストの便宜上、固定値‘0’がスキャンセル51へ出力される。なお、このゲート53は、固定値‘1’を出力するゲートであっても、他ノードで既に確定している値を選択するゲートであってもよい。

【0013】

図8を参照すると、従来の出力側バウンダリスキャンセルBO1～BOxは、マクロ1の出力信号経路に挿入接続される入力端と出力端との間に、スキャンセル55、セクタ56、ゲート57をそれぞれ備える。

【0014】

スキャンセル55、セクタ56は、入力側バウンダリスキャンセルBI1～BIxにおけるスキャンセル51、セクタ52と同じ内部構成である。重複説明を省略する。

【0015】

ゲート57は、この従来例では、入力端子の信号を入力しテスト制御信号ExSCANTESTの反転信号に対応してゲート制御しスキャンセル55のキャプチャ入力へ出力する2入力ゲートである。例えば、マクロ1の内部がテスト対象でない場合、テスト制御信号ExSCANTESTが‘1’であるので、入力端の信号がマクロ1側から伝達し不定値であっても、テストの便宜上、固定値‘0’がスキャンセル51へ出力される。なお、このゲート74は、固定値‘1’を出力するゲートであっても、他ノードで既に確定している値を選択するゲートであってもよい。

【0016】

次に、この従来のバウンダリスキャンテスト回路3を用いたテスト動作について、図6、図7、図8を参照し、簡単に説明する。

【0017】

一般的に、テスト対象のカスタムLSIが内部にスキャンチェーンを構成している場合、スキャンチェーンに用いられるテストパタンは、ネットリストなどの回路情報に基づきATPG (Automatic Test Pattern Generator) にて自動生成され、また、テストモード時にスキャンチェーン間の回路ごとに分割してテスト専用外部端子によりテストを個別に順次行う。すなわち、図6のカスタムLSIのバウンダリスキャンテスト回路3を用いたテスト動作としては、周辺回路2、マクロ1内のスキャンチェーンとバウンダリスキャンテスト回路3との間の回路のテスト動作が個別に順次行われる。

【0018】

まず、周辺回路2内のスキャンチェーンとバウンダリスキャンテスト回路3との間の回路をテストする場合、バウンダリスキャンテスト回路3のテスト制御信号SCANTEST, ExSCANTESTは、‘1’, ‘1’に設定される。

【0019】

マクロ1の入力信号経路側では、周辺回路2内のスキャンチェーンにより、テスト専用外部端子USIから自動生成のテストパタンがスキャンシフト入力され、周辺回路2内のスキャンチェーンからアップデート出力される。このアップデ

ート出力は、周辺回路 2 内の組合せ回路の入力となり、組合せ回路の出力が、周辺回路 2 の出力端子から出力され、バウンダリスキャンテスト回路 3 の入力側バウンダリスキャンセル B I 1 ~ B I x の入力端に達する。この入力端の信号は、ゲート 5 3 を介して、スキャンセル 5 1 のキャプチャ入力に達し、テスト制御信号 S C A N E N およびクロック信号によりキャプチャされ、バウンダリスキャンテスト回路 3 のテスト専用外部端子 B S O からスキャンシフト出力されテストされる。

【 0 0 2 0 】

マクロ 1 の出力信号経路側では、バウンダリスキャンテスト回路 3 により、テスト専用外部端子 B S I から自動生成のテストパターンがスキャンシフト入力され、スキャンセル 5 1 およびスキャンセル 5 5 によりスキャンシフトされ、スキャンセル 5 5 のアップデート出力がセレクタ 5 6 により選択され、出力側バウンダリスキャンセル B O 1 ~ B O x の出力端から出力される。この出力端の信号は、周辺回路 2 の入力端子に出力され、周辺回路 2 内の組合せ回路の入力となり、組合せ回路の出力が、周辺回路 2 内のスキャンチェーンの入力端に達し、周辺回路 2 内のスキャンチェーンにキャプチャされ、テスト専用外部端子 U S O からスキャンシフト出力されテストされる。

【 0 0 2 1 】

次に、マクロ 1 内のスキャンチェーンとバウンダリスキャンテスト回路 3 との間の回路をテストする場合、バウンダリスキャンテスト回路 3 のテスト制御信号 S C A N T E S T , E x S C A N T E S T は、' 1 ' , ' 0 ' に設定される。

【 0 0 2 2 】

マクロ 1 の入力信号経路側では、バウンダリスキャンテスト回路 3 により、テスト専用外部端子 B S I から自動生成のテストパターンがスキャンシフト入力され、スキャンセル 5 1 によりスキャンシフトされ、スキャンセル 5 1 のアップデート出力がセレクタ 5 2 により選択され、入力側バウンダリスキャンセル B I 1 ~ B I x の出力端から出力される。この出力端の信号は、マクロ 1 の入力端子に出力され、マクロ 1 内の組合せ回路の入力となり、組合せ回路の出力が、マクロ 1 内のスキャンチェーンの入力端に達し、マクロ 1 内のスキャンチェーンにキャプ

チャされ、テスト専用外部端子 I p S O からスキャンシフト出力されテストされる。

【0023】

マクロ1の出力信号経路側では、マクロ1内のスキャンチェーンにより、テスト専用外部端子 I p S I から自動生成のテストパタンがスキャンシフト入力され、マクロ1内のスキャンチェーンからアップデート出力される。このアップデート出力は、マクロ1内の組合せ回路の入力となり、組合せ回路の出力が、マクロ1の出力端子から出力され、バウンダリスキャンテスト回路3の出力側バウンダリスキャンセル B O 1 ~ B O x の入力端に達する。この入力端の信号は、ゲート 57 を介して、スキャンセル 55 のキャプチャ入力に達し、テスト制御信号 S C A N E N およびクロック信号によりキャプチャされ、バウンダリスキャンテスト回路3のテスト専用外部端子 B S O からスキャンシフト出力されテストされる。

【0024】

これらテストモード時における個別のバウンダリスキャンテストの後、通常モードで外部入出力端子によりカスタム L S I 全体のテストを行う。この場合、バウンダリスキャンテスト回路3のテスト制御信号 S C A N T E S T , E x S C A N T E S T は、'0', '0' に設定される。バウンダリスキャンテスト回路3の入力側バウンダリスキャンセル B I 1 ~ B I x , 出力側バウンダリスキャンセル B O 1 ~ B O x のセクタ 52, 56 は、それぞれ入力端の信号を出力端へ出力し、マクロ1の入出力が伝達される。これにより、周辺回路2およびマクロ1が協働し、カスタム L S I は、外部入出力端子に応じてユーザ機能を履行する。

【0025】

この従来のバウンダリスキャンテスト回路3の適用により、マクロ1の提供者により A T P G にて自動生成されたテストパタンを用いて、ユーザがマクロ1を単体でテストでき、マクロ1の提供者は、マクロ1の回路情報そのものを開示する必要がなくなり、マクロ1の回路情報の第3者への漏洩を防止できる。

【0026】

【特許文献1】

特開平6-56529号公報（頁2-4、図1）

【0027】

【発明が解決しようとする課題】

上述したように、従来のバウンダリスキャンテスト回路をマクロの境界で信号経路に挿入接続したカスタムLSIの場合、バウンダリスキャンテスト回路を用いたテスト動作としては、テストモード時に、マクロの外側の周辺回路、マクロ内のスキャンチェーンとバウンダリスキャンテスト回路との間の回路ごとにテスト専用外部端子により個別に順次それぞれテストし、この後、通常モードで外部入出力端子により全体のテストを行う。

【0028】

しかし、このカスタムLSI全体のテストに用いられるテストパターンは、カスタムLSI全体のネットリストを用いてATPGにより所定の処理時間で自動生成することが難しく、また、マクロのネットリストなどの回路情報を開示しない場合ATPGにより自動生成できないため、一般に、ユーザ機能の仕様に基づき作成され、バウンダリスキャンテスト回路を介したマクロの信号経路の故障検出率が低いという問題がある。

【0029】

具体的に説明すると、例えば、図6、7に示したバウンダリスキャンテスト回路3の入力側バウンダリスキャンセルBI1～BIx、出力側バウンダリスキャンセルBO1～BOxのセレクタ52、56は、通常モード時に、テスト制御信号SCANTESTが‘0’に設定され、それぞれ入力端の信号を出力端へ出力し、マクロ1の入出力が伝達される。このマクロ1の入出力を伝達する信号経路の故障検出率が低い。

【0030】

このため、ユーザがカスタムLSI全体のテストパターン作成を分担する場合、マクロ1の回路情報の開示をユーザから要求される問題もある。

【0031】

従って、本発明の目的は、バウンダリスキャンテスト回路の故障検出を容易化し、カスタムLSIのテスト品質を改善することにある。

【0032】

【課題を解決するための手段】

そのため、本発明は、回路の機能ブロックであるマクロの境界で信号経路に挿入され通常モード時に入力端から出力端へ信号を伝達しテストモード時にテスト専用外部端子によりテストパターンをスキャンシフト入出力するバウンダリスキャンテスト回路において、

テストモード時に前記入力端から前記出力端へ信号を伝達し前記出力端の信号のゲート出力をキャプチャしている。

【0033】

また、前記マクロの境界で入力信号経路ごとに挿入され、テストモード時に前記マクロの外部側をテスト対象として選択指定するテスト制御信号に対応して前記入力端から前記出力端へ信号を伝達する入力側バウンダリスキャンセルと、前記マクロの境界で出力信号経路ごとに挿入されテストモード時に前記テスト制御信号の反転信号に対応して前記入力端から前記出力端へ信号を伝達する出力側バウンダリスキャンセルとを備えている。

【0034】

また、前記入力側バウンダリスキャンセルが、テストモード時にスキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトしアップデート出力するスキャンセルと、

このスキャンセルのアップデート出力および前記入力端の信号を入力しテストモード時に前記テスト制御信号に対応して前記入力端の信号を選択し前記出力端へ出力するセレクタとを備え、

前記出力側バウンダリスキャンセルが、テストモード時にスキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトしアップデート出力するスキャンセルと、

このスキャンセルのアップデート出力および前記入力端の信号を入力しテストモード時に前記テスト制御信号の反転信号に対応して前記入力端の信号を選択し前記出力端へ出力するセレクタとを備えている。

【0035】

また、前記マクロの境界で信号経路ごとに挿入され、テストモード時にキャプ

チャ動作を制御するテスト制御信号に対応して前記入力端から前記出力端へ信号を伝達するバウンダリスキャンセルを備えている。

【 0 0 3 6 】

また、前記バウンダリスキャンセルが、テストモード時にスキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトしアップデート出力するスキャンセルと、

このスキャンセルのアップデート出力および前記入力端の信号を入力しテストモード時に前記テスト制御信号に対応して前記入力端の信号を選択し前記出力端へ出力するセレクタとを備えている。

【 0 0 3 7 】

また、前記スキャンセルが、テストモード時に前記スキャンチェーンを構成し前記出力端の信号のゲート出力をキャプチャしスキャンシフトするスキャンセルと、

テストモード時に前記スキャンチェーンと異なる方式のスキャンチェーンを別途構成しスキャンシフトしアップデート出力するスキャンセルとから構成されている。

【 0 0 3 8 】

また、前記セレクタが、通常モード時に前記入力端の信号を選択している。

【 0 0 3 9 】

【発明の実施の形態】

次に、本発明について、図面を参照して説明する。本発明のバウンダリスキャンテスト回路は、図 6 に例示したカスタム L S I におけるバウンダリスキャンテスト回路 3 と同様に、マクロ 1，周辺回路 2 と共に用いられ、マクロ 1 の境界で信号経路に挿入され、通常モード時にマクロ 1 の入出力信号の伝達および観測を行い、テストモード時にテスト専用外部端子 B S I，B S O によりテストパターン信号をスキャンシフト入出力する。

【 0 0 4 0 】

本発明のバウンダリスキャンテスト回路と共に用いられるマクロ 1，周辺回路 2 は、図 6 に例示したカスタム L S I におけるマクロ 1，周辺回路 2 とそれぞれ

同じ内部構成である。重複説明を省略する。また、本発明のバウンダリスキャンテスト回路 3 は、従来と同様に、マクロ 1 の入力信号経路ごとに挿入された入力側バウンダリスキャンセル B I 1 ~ B I x と、マクロ 1 の出力信号経路ごとに挿入された出力側バウンダリスキャンセル B O 1 ~ B O x とを備える。

【 0 0 4 1 】

図 1、図 2 は、本発明のバウンダリスキャンテスト回路 3 の実施形態 1 における入力側バウンダリスキャンセル B I 1 ~ B I x、出力側バウンダリスキャンセル B O 1 ~ B O x の例を示すブロック図である。

【 0 0 4 2 】

図 1 を参照すると、本実施形態のバウンダリスキャンテスト回路 3 における入力側バウンダリスキャンセル B I 1 ~ B I x は、マクロ 1 の入力信号経路に挿入される入力端と出力端との間に、スキャンセル 3 1、セクタ 3 2、ゲート 3 3、ゲート 3 4 をそれぞれ備える。

【 0 0 4 3 】

スキャンセル 3 1 は、図 7 の従来の入力側バウンダリスキャンセル B I 1 ~ B I x におけるスキャンセル 5 1 と同じ内部構成である。重複説明を省略する。

【 0 0 4 4 】

セクタ 3 2 は、図 7 の従来の入力側バウンダリスキャンセル B I 1 ~ B I x におけるセクタ 5 2 と同じ内部構成であるが、ゲート 3 4 の出力により制御され、テストモード時に異なった動作をする。すなわち、スキャンセル 3 1 のアップデート出力および入力端の信号を入力し、テストモード時を示すテスト制御信号 S C A N T E S T と、テストモード時にマクロ 1 の外部側をテスト対象として選択指定するテスト制御信号 E x S C A N T E S T とが ' 1 '、' 0 ' の場合のみ、スキャンセル 3 1 のアップデート出力を選択し出力端へ出力し、テスト制御信号 S C A N T E S T が ' 0 ' の場合、または、テスト制御信号 S C A N T E S T、テスト制御信号 E x S C A N T E S T が ' 1 '、' 1 ' の場合、入力端の信号を選択し出力端へ出力する。

【 0 0 4 5 】

ゲート 3 3 は、図 7 の従来の入力側バウンダリスキャンセル B I 1 ~ B I x に

おけるゲート 5 3 と同じゲートであるが、入力端ではなく出力端の信号を入力し、テストモード時にマクロ 1 の外部側をテスト対象として選択指定するテスト制御信号 $E \times SCANTEST$ に対応してゲート制御し出力する 2 入力ゲートである。例えば、マクロ 1 の外部側がテスト対象でない場合、テスト制御信号 $E \times SCANTEST$ が '0' であるので、周辺回路 2 側からセレクタ 5 2 を介して出力端の信号が伝達し不定値であっても、テストの便宜上、固定値 '0' がスキャンセル 3 1 へ出力される。なお、このゲート 3 3 は、固定値 '1' を出力するゲートであっても、他ノードで既に確定している値を選択するゲートであってもよい。

【 0 0 4 6 】

ゲート 3 4 は、テスト制御信号 $SCANTEST$ と、テスト制御信号 $E \times SCANTEST$ の反転信号とに対応して入力側バウンダリスキャンセル $BI1 \sim BIX$ のセレクタ 3 2 を制御する 2 入力ゲートである。この実施例では、テスト制御信号 $SCANTEST$ 、テスト制御信号 $E \times SCANTEST$ が '1'、'0' の場合、'1' が出力される。なお、このゲート 3 4 は、全ての入力側バウンダリスキャンセル $BI1 \sim BIX$ に共通するゲートであり、1 つのゲートで全ての入力側バウンダリスキャンセル $BI1 \sim BIX$ のセレクタ 3 2 を共通に制御する構成とすることもできる。

【 0 0 4 7 】

図 2 を参照すると、本実施形態のバウンダリスキャンテスト回路 3 における出力側バウンダリスキャンセル $BO1 \sim BOx$ は、マクロ 1 の出力信号経路に挿入接続される入力端と出力端との間に、スキャンセル 3 5、セレクタ 3 6、ゲート 3 7、ゲート 3 8 をそれぞれ備える。

【 0 0 4 8 】

スキャンセル 3 5 は、入力側バウンダリスキャンセル $BI1 \sim BIX$ におけるスキャンセル 3 1 と同じ内部構成である。重複説明を省略する。

【 0 0 4 9 】

セレクタ 3 6 は、図 1 の入力側バウンダリスキャンセル $BI1 \sim BIX$ におけるセレクタ 3 2 と同じ内部構成であるが、ゲート 3 8 の出力により制御され、テ

ストモード時に異なった動作をする。すなわち、スキャンセル 3 5 のアップデート出力および入力端の信号を入力し、テストモード時を示すテスト制御信号 SC ANTEST と、テストモード時にマクロ 1 の外部側をテスト対象として選択指定するテスト制御信号 E x SC ANTEST とが '1' , '1' の場合のみ、スキャンセル 3 5 のアップデート出力を選択し出力端へ出力し、テスト制御信号 SC ANTEST が '0' の場合、または、テスト制御信号 SC ANTEST , テスト制御信号 E x SC ANTEST が '1' , '0' の場合、入力端の信号を選択し出力端へ出力する。

【 0 0 5 0 】

ゲート 3 7 は、図 8 の従来の出力側バウンダリスキャンセル B O 1 ~ B O x におけるゲート 5 7 と同じゲートであるが、入力端ではなく出力端の信号を入力し、テストモード時にテスト制御信号 E x SC ANTEST の反転信号に対応してゲート制御し出力する 2 入力ゲートである。例えば、マクロ 1 の内部がテスト対象でない場合、テスト制御信号 E x SC ANTEST が '1' であるので、周辺回路 2 側からセクタ 5 2 を介して出力端の信号が伝達し不定値であっても、テストの便宜上、固定値 '0' がスキャンセル 3 5 へ出力される。なお、このゲート 3 7 は、固定値 '1' を出力するゲートであっても、他ノードで既に確定している値を選択するゲートであってもよい。

【 0 0 5 1 】

ゲート 3 8 は、テスト制御信号 SC ANTEST およびテスト制御信号 E x SC ANTEST に対応して出力側バウンダリスキャンセル B O 1 ~ B O x のセクタ 3 6 を制御する 2 入力ゲートである。この実施例では、テスト制御信号 SC ANTEST , テスト制御信号 E x SC ANTEST が '1' , '1' の場合、'1' が出力される。なお、このゲート 3 8 は、全ての出力側バウンダリスキャンセル B O 1 ~ B O x に共通するゲートであり、1 つのゲートで全ての出力側バウンダリスキャンセル B O 1 ~ B O x のセクタ 3 8 を共通に制御する構成とすることもできる。

【 0 0 5 2 】

次に、本実施形態のバウンダリスキャンテスト回路 3 を用いたテスト動作につ

いて、従来のバウンダリスキャンテスト回路 3 に対する説明と同様に、図 6，図 1，図 2 を参照し、簡単に説明する。

【 0 0 5 3 】

従来と同様に、図 6 のカスタム L S I において、スキャンチェーンに用いられるテストボタンは、ネットリストなどの回路情報に基づき A T P G にて自動生成され、本実施形態のバウンダリスキャンテスト回路 3 を用いたテスト動作としては、周辺回路 2，マクロ 1 内のスキャンチェーンとバウンダリスキャンテスト回路 3 との間の回路のテスト動作が個別に順次行われる。

【 0 0 5 4 】

まず、周辺回路 2 内のスキャンチェーンとバウンダリスキャンテスト回路 3 との間の回路をテストする場合、バウンダリスキャンテスト回路 3 のテスト制御信号 S C A N T E S T，E x S C A N T E S T は，‘ 1 ’，‘ 1 ’ に設定される。

【 0 0 5 5 】

マクロ 1 の入力信号経路側では、周辺回路 2 内のスキャンチェーンにより、テスト専用外部端子 U S I から自動生成のテストボタンがスキャンシフト入力され、周辺回路 2 内のスキャンチェーンからアップデート出力される。このアップデート出力は、周辺回路 2 内の組合せ回路の入力となり、組合せ回路の出力が、周辺回路 2 の出力端子から出力され、バウンダリスキャンテスト回路 3 の入力側バウンダリスキャンセル B I 1 ～ B I x の入力端に達する。この入力端の信号は、セレクト 3 2 を介して出力端に達する。さらに、出力端の信号は、ゲート 3 3 を介して、スキャンセル 3 1 のキャプチャ入力に達し、テスト制御信号 S C A N E N およびクロック信号によりキャプチャされ、バウンダリスキャンテスト回路 3 のテスト専用外部端子 B S O からスキャンシフト出力されテストされる。

【 0 0 5 6 】

マクロ 1 の出力信号経路側では、バウンダリスキャンテスト回路 3 により、テスト専用外部端子 B S I から自動生成のテストボタンがスキャンシフト入力され、スキャンセル 3 1 およびスキャンセル 3 5 によりスキャンシフトされ、スキャンセル 3 5 のアップデート出力がセレクト 3 6 により選択され、出力側バウンダリスキャンセル B O 1 ～ B O x の出力端から出力される。この出力端の信号は、

周辺回路 2 の入力端子に出力され、周辺回路 2 内の組合せ回路の入力となり、組合せ回路の出力が、周辺回路 2 内のスキャンチェーンの入力端に達し、周辺回路 2 内のスキャンチェーンにキャプチャされ、テスト専用外部端子 U S O からスキャンシフト出力されテストされる。

【 0 0 5 7 】

次に、マクロ 1 内のスキャンチェーンとバウンダリスキャンテスト回路 3 との間の回路をテストする場合、バウンダリスキャンテスト回路 3 のテスト制御信号 S C A N T E S T , E x S C A N T E S T は、' 1 ' , ' 0 ' に設定される。

【 0 0 5 8 】

マクロ 1 の入力信号経路側では、バウンダリスキャンテスト回路 3 により、テスト専用外部端子 B S I から自動生成のテストパタンがスキャンシフト入力され、スキャンセル 3 1 によりスキャンシフトされ、スキャンセル 3 1 のアップデート出力がセレクタ 3 2 により選択され、入力側バウンダリスキャンセル B I 1 ~ B I x の出力端から出力される。この出力端の信号は、マクロ 1 の入力端子に出力され、マクロ 1 内の組合せ回路の入力となり、組合せ回路の出力が、マクロ 1 内のスキャンチェーンの入力端に達し、マクロ 1 内のスキャンチェーンにキャプチャされ、テスト専用外部端子 I p S O からスキャンシフト出力されテストされる。

【 0 0 5 9 】

マクロ 1 の出力信号経路側では、マクロ 1 内のスキャンチェーンにより、テスト専用外部端子 I p S I から自動生成のテストパタンがスキャンシフト入力され、マクロ 1 内のスキャンチェーンからアップデート出力される。このアップデート出力は、マクロ 1 内の組合せ回路の入力となり、組合せ回路の出力が、マクロ 1 の出力端子から出力され、バウンダリスキャンテスト回路 3 の出力側バウンダリスキャンセル B O 1 ~ B O x の入力端に達する。この入力端の信号は、セレクタ 3 6 を介して出力端に達する。さらに、出力端の信号は、ゲート 5 7 を介して、スキャンセル 5 5 のキャプチャ入力に達し、テスト制御信号 S C A N E N およびクロック信号によりキャプチャされ、バウンダリスキャンテスト回路 3 のテスト専用外部端子 B S O からスキャンシフト出力されテストされる。

【0060】

これらテストモード時における個別のバウンダリスキャンテストの後、通常モードで外部入出力端子によりカスタムLSI全体のテストを行う。この場合、バウンダリスキャンテスト回路3のテスト制御信号SCANTEST, EXSCANTESTは、'0', '0'に設定される。バウンダリスキャンテスト回路3の入力側バウンダリスキャンセルBI1~BIx, 出力側バウンダリスキャンセルBO1~BOxのセレクタ32, セレクタ36は、それぞれ入力端の信号を出力端へ出力し、マクロ1の入出力が伝達される。これにより、周辺回路2およびマクロ1が協働し、カスタムLSIは、外部入出力端子に応じてユーザ機能を履行する。

【0061】

上述したように、本実施形態のバウンダリスキャンテスト回路3は、テストモード時における個別のバウンダリスキャンテストにおいて、バウンダリスキャンテスト回路3の入力側バウンダリスキャンセルBI1~BIx, 出力側バウンダリスキャンセルBO1~BOxのセレクタ32, セレクタ36によるマクロ1の入出力の伝達をテストできる。このため、この後、通常モードで外部入出力端子によりカスタムLSI全体をテストするテストパターンが、マクロ1の信号経路をそれぞれテストするものでなく、単なるテストモードから通常モードへの遷移をテストするもので十分になり、非常に簡単または最短となり、バウンダリスキャンテスト回路3の故障検出が容易化され、カスタムLSIのテスト品質が改善される。

【0062】

また、本実施形態のバウンダリスキャンテスト回路3の適用により、従来と同様に、マクロ1の提供者によりATPGにて自動生成されたテストパターンを用いて、ユーザがマクロ1を単体でテストできる共に、ユーザがカスタムLSI全体のテストパターン作成を分担する場合も、マクロ1の回路情報そのものを開示する必要が全く無くなり、マクロ1の回路情報の第3者への漏洩を完全に防止できる。

【0063】

なお、本実施形態のバウンダリスキャンテスト回路3では、入力側バウンダリスキャンセルBI1～BIx、出力側バウンダリスキャンセルBO1～BOxのセクタ32、セクタ36が、テストモード時にマクロ1の外部側をテスト対象として選択指定するテスト制御信号に対応して制御されるとして説明した。しかし、この説明に限定されず、入力側バウンダリスキャンセルBI1～BIx、出力側バウンダリスキャンセルBO1～BOxのセクタ32、セクタ36が、例えば、テストモード時にキャプチャ動作を制御するテスト制御信号に対応して制御される構成であっても、明らかに、同様の効果が奏せられる。

【0064】

次に、本発明のバウンダリスキャンテスト回路の実施形態2について説明する。図3は、本実施形態のバウンダリスキャンテスト回路を内部ブロック間に適用したカスタムLSIの構成例を示すブロック図である。本実施形態のバウンダリスキャンテスト回路4は、互いに異なる方式のスキャンチェーンを有するマクロ1、周辺回路2と共に用いられ、これらマクロ1または周辺回路2のスキャンチェーンに対応してテスト専用外部端子BSI1、BSO1またはテスト専用外部端子BSI2、BSO2によりテストモード時にテストパタン信号を別途それぞれスキャンシフト入出力する。

【0065】

本実施形態のバウンダリスキャンテスト回路4と共に用いられるマクロ1、周辺回路2は、互いに異なる方式のスキャンチェーンを有することを除いて、図6に例示したカスタムLSIにおけるマクロ1、周辺回路2とそれぞれ同じ内部構成であり、重複説明を省略する。また、本実施形態のバウンダリスキャンテスト回路3は、従来と同様に、マクロ1の入力信号経路ごとに挿入された入力側バウンダリスキャンセルBI1～BIxと、マクロ1の出力信号経路ごとに挿入された出力側バウンダリスキャンセルBO1～BOxとを備える。

【0066】

図4、図5は、本実施形態のバウンダリスキャンテスト回路4における入力側バウンダリスキャンセルBI1～BIx、出力側バウンダリスキャンセルBO1～BOxおよび共通制御の例を示すブロック図である。

【0067】

図4を参照すると、本実施形態のバウンダリスキャンテスト回路4における入力側バウンダリスキャンセルBI1～BIxは、マクロ1の入力信号経路に挿入される入力端と出力端との間に、スキャンセル411，スキャンセル412，セクタ42，ゲート43，ゲート44をそれぞれ備える。

【0068】

スキャンセル411は、テストモード時にマクロ1内のスキャンチェーンと同じマルチプレクサ型のスキャンチェーンをテスト専用外部端子BSI1，BSO1間に構成しスキャンシフトしアップデート出力する。

【0069】

スキャンセル412は、テストモード時に周辺回路2内のスキャンチェーンと同じクロックドLSSD型のスキャンチェーンをテスト専用外部端子BSI2，BSO2間に構成しゲート43の出力をキャプチャしスキャンシフトする。

【0070】

セクタ42は、スキャンセル411のアップデート出力およびおよび入力端の信号を入力し、図1の実施形態1の入力側バウンダリスキャンセルBI1～BIxにおけるセクタ32と同様に動作する。すなわち、テストモード時を示すテスト制御信号SCANTESTと、テストモード時にマクロ1の外部側をテスト対象として選択指定するテスト制御信号ExSCANTESTとが‘1’，‘0’の場合のみ、スキャンセル411のアップデート出力を選択し出力端へ出力し、テスト制御信号SCANTESTが‘0’の場合、または、テスト制御信号SCANTEST，テスト制御信号ExSCANTESTが‘1’，‘1’の場合、入力端の信号を選択し出力端へ出力する。

【0071】

ゲート43，ゲート44は、図1の実施形態1の入力側バウンダリスキャンセルBI1～BIxにおけるゲート33，ゲート34と同じであり、重複説明を省略する。

【0072】

図5を参照すると、本実施形態のバウンダリスキャンテスト回路4における出

力側バウンダリスキャンセルBO1～BOxは、マクロ1の出力信号経路に挿入される入力端と出力端との間に、スキャンセル451，スキャンセル452，セクタ46，ゲート47，ゲート48をそれぞれ備える。

【0073】

スキャンセル451は、テストモード時にマクロ1内のスキャンチェーンと同じマルチプレクサ型のスキャンチェーンをテスト専用外部端子BSI1，BSO1間に構成しゲート47の出力をキャプチャしスキャンシフトする。

【0074】

スキャンセル452は、テストモード時に周辺回路2内のスキャンチェーンと同じクロックドLSSD型のスキャンチェーンをテスト専用外部端子BSI2，BSO2間に構成しスキャンシフトしアップデート出力する。

【0075】

セクタ46は、スキャンセル452のアップデート出力およびおよび入力端の信号を入力し、図2の実施形態1の出力側バウンダリスキャンセルBO1～BOxにおけるセクタ36と同様に動作する。すなわち、テストモード時を示すテスト制御信号SCANTESTと、テストモード時にマクロ1の外部側をテスト対象として選択指定するテスト制御信号ExSCANTESTとが‘1’，‘1’の場合のみ、スキャンセル452のアップデート出力を選択し出力端へ出力し、テスト制御信号SCANTESTが‘0’の場合、または、テスト制御信号SCANTEST，テスト制御信号ExSCANTESTが‘1’，‘0’の場合、入力端の信号を選択し出力端へ出力する。

【0076】

ゲート47，ゲート48は、図2の実施形態1の出力側バウンダリスキャンセルBO1～BOxにおけるゲート37，ゲート38と同じであり、重複説明を省略する。

【0077】

次に、本実施形態のバウンダリスキャンテスト回路4を用いたテスト動作について、従来のバウンダリスキャンテスト回路3に対する説明と同様に、図3，図4，図5を参照し、簡単に説明する。

【0078】

従来と同様に、図3のカスタムLSIにおいて、スキャンチェーンに用いられるテストパターンは、ネットリストなどの回路情報に基づきATPGにて自動生成され、本実施形態のバウンダリスキャンテスト回路4を用いたテスト動作としては、周辺回路2，マクロ1内の互いに異なる方式のクロックドLSSD型，マルチプレクサ型のスキャンチェーンとバウンダリスキャンテスト回路4との間の回路のテスト動作が個別に順次行われる。

【0079】

まず、周辺回路2内のクロックドLSSD型スキャンチェーンとバウンダリスキャンテスト回路4との間の回路をテストする場合、バウンダリスキャンテスト回路3のテスト制御信号SCANTEST，EXSCANTESTは、‘1’，‘1’に設定される。

【0080】

マクロ1の入力信号経路側では、周辺回路2内のクロックドLSSD型スキャンチェーンにより、テスト専用外部端子USIから自動生成のテストパターンがスキャンシフト入力され、周辺回路2内のクロックドLSSD型スキャンチェーンからアップデート出力される。このアップデート出力は、周辺回路2内の組合せ回路の入力となり、組合せ回路の出力が、周辺回路2の出力端子から出力され、バウンダリスキャンテスト回路4の入力側バウンダリスキャンセルBI1～BIxの入力端に達する。この入力端の信号は、セレクタ4.2を介して出力端に達する。さらに、出力端の信号は、ゲート4.3を介して、スキャンセル4.1.2のキャプチャ入力に達し、テスト制御信号SCANENおよびクロック信号によりキャプチャされ、バウンダリスキャンテスト回路4のテスト専用外部端子BSO2からスキャンシフト出力されテストされる。

【0081】

マクロ1の出力信号経路側では、バウンダリスキャンテスト回路4により、テスト専用外部端子BSI2から自動生成のテストパターンがスキャンシフト入力され、スキャンセル4.1.2およびスキャンセル4.5.2によりスキャンシフトされ、スキャンセル4.5.2のアップデート出力がセレクタ4.6により選択され、出力側

バウンダリスキャンセル B O 1 ~ B O x の出力端から出力される。この出力端の信号は、周辺回路 2 の入力端子に出力され、周辺回路 2 内の組合せ回路の入力となり、組合せ回路の出力が、周辺回路 2 内のクロックド L S S D 型スキャンチェーンの入力端に達し、周辺回路 2 内のクロックド L S S D 型スキャンチェーンにキャプチャされ、テスト専用外部端子 U S O からスキャンシフト出力されテストされる。

【 0 0 8 2 】

次に、マクロ 1 内のマルチプレクサ型スキャンチェーンとバウンダリスキャンテスト回路 3 との間の回路をテストする場合、バウンダリスキャンテスト回路 4 のテスト制御信号 S C A N T E S T , E x S C A N T E S T は、 ' 1 ' , ' 0 ' に設定される。

【 0 0 8 3 】

マクロ 1 の入力信号経路側では、バウンダリスキャンテスト回路 4 により、テスト専用外部端子 B S I 1 から自動生成のテストパタンがスキャンシフト入力され、スキャンセル 4 1 1 によりスキャンシフトされ、スキャンセル 4 1 1 のアップデート出力がセクタ 4 2 により選択され、入力側バウンダリスキャンセル B I 1 ~ B I x の出力端から出力される。この出力端の信号は、マクロ 1 の入力端子に出力され、マクロ 1 内の組合せ回路の入力となり、組合せ回路の出力が、マクロ 1 内のマルチプレクサ型スキャンチェーンの入力端に達し、マクロ 1 内のマルチプレクサ型スキャンチェーンにキャプチャされ、テスト専用外部端子 I p S O からスキャンシフト出力されテストされる。

【 0 0 8 4 】

マクロ 1 の出力信号経路側では、マクロ 1 内のマルチプレクサ型スキャンチェーンにより、テスト専用外部端子 I p S I から自動生成のテストパタンがスキャンシフト入力され、マクロ 1 内のマルチプレクサ型スキャンチェーンからアップデート出力される。このアップデート出力は、マクロ 1 内の組合せ回路の入力となり、組合せ回路の出力が、マクロ 1 の出力端子から出力され、バウンダリスキャンテスト回路 4 の出力側バウンダリスキャンセル B O 1 ~ B O x の入力端に達する。この入力端の信号は、セクタ 4 6 を介して出力端に達する。さらに、出

力端の信号は、ゲート 4 7 を介して、スキャンセル 4 5 1 のキャプチャ入力に達し、テスト制御信号 SCANEN およびクロック信号によりキャプチャされ、バウンダリスキャンテスト回路 4 のテスト専用外部端子 BSO1 からスキャンシフト出力されテストされる。

【 0 0 8 5 】

これらテストモード時における個別のバウンダリスキャンテストの後、通常モードで外部入出力端子によりカスタム LSI 全体のテストを行う。この場合、バウンダリスキャンテスト回路 4 のテスト制御信号 SCANTEST, EXSCANTEST は、'0', '0' に設定される。バウンダリスキャンテスト回路 4 の入力側バウンダリスキャンセル BI1 ~ BIX, 出力側バウンダリスキャンセル BO1 ~ BOX のセレクト 4 2, セレクト 4 6 は、それぞれ入力端の信号を出力端へ出力し、マクロ 1 の入出力が伝達される。これにより、周辺回路 2 およびマクロ 1 が協働し、カスタム LSI は、外部入出力端子に応じてユーザ機能を履行する。

【 0 0 8 6 】

上述したように、本実施形態のバウンダリスキャンテスト回路 4 は、テストモード時における個別のバウンダリスキャンテストにおいて、バウンダリスキャンテスト回路 4 の入力側バウンダリスキャンセル BI1 ~ BIX, 出力側バウンダリスキャンセル BO1 ~ BOX のセレクト 4 2, セレクト 4 6 によるマクロ 1 の入出力の伝達をテストできる。

【 0 0 8 7 】

このため、本実施形態のバウンダリスキャンテスト回路 4 は、周辺回路 2, マクロ 1 内のスキャンチェーンが互いに異なる方式であっても、実施形態 1 のバウンダリスキャンテスト回路 3 と同様に、通常モードで外部入出力端子によりカスタム LSI 全体をテストするテストパタンが、非常に簡単または最短となり、バウンダリスキャンテスト回路 4 の故障検出が容易化され、カスタム LSI のテスト品質が改善される。また、本実施形態のバウンダリスキャンテスト回路 4 の適用により、マクロ 1 の回路情報の第 3 者への漏洩を完全に防止できる。

【 0 0 8 8 】

【発明の効果】

以上説明したように、本発明によるバウンダリスキャンテスト回路は、通常モードで外部入出力端子によりカスタム L S I 全体をテストするテストパターンが、非常に簡単または最短となり、バウンダリスキャンテスト回路の故障検出が容易化され、カスタム L S I のテスト品質が改善される。

【 0 0 8 9 】

また、本実施形態のバウンダリスキャンテスト回路の適用により、マクロ 1 の回路情報の第 3 者への漏洩を完全に防止できるなどの効果がある。

【図面の簡単な説明】

【図 1】

本発明のバウンダリスキャンテスト回路の実施形態 1 における入力側バウンダリスキャンセルの例を示すブロック図である。

【図 2】

本発明のバウンダリスキャンテスト回路の実施形態 1 における出力側バウンダリスキャンセルの例を示すブロック図である。

【図 3】

本発明のバウンダリスキャンテスト回路の実施形態 2 を内部ブロック間に適用したカスタム L S I の構成例を示すブロック図である。

【図 4】

本発明のバウンダリスキャンテスト回路の実施形態 2 における入力側バウンダリスキャンセルの例を示すブロック図である。

【図 5】

本発明のバウンダリスキャンテスト回路の実施形態 2 における出力側バウンダリスキャンセルの例を示すブロック図である。

【図 6】

バウンダリスキャンテスト回路を内部ブロック間に適用したカスタム L S I の構成例を示すブロック図である。

【図 7】

従来のバウンダリスキャンテスト回路における入力側バウンダリスキャンセル

の例を示すブロック図である。

【図 8】

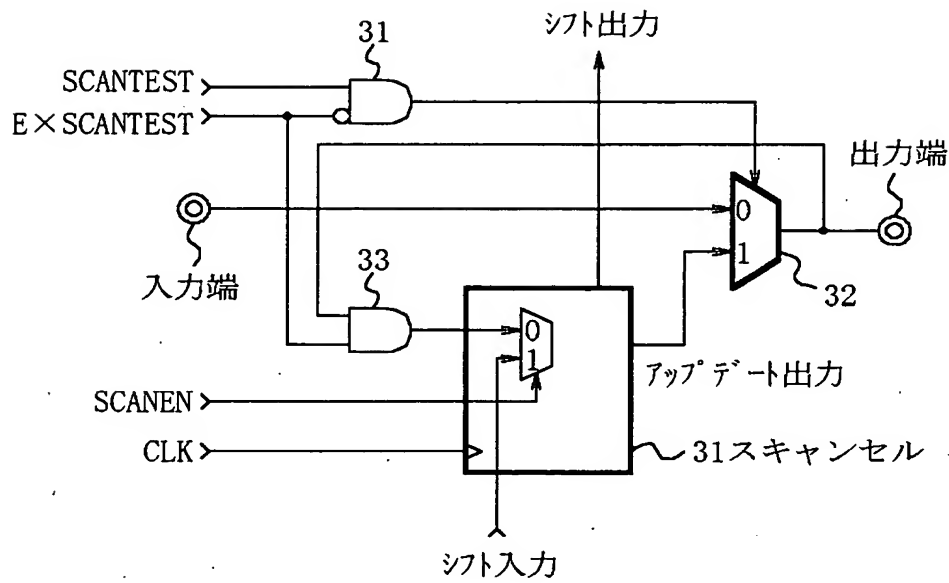
従来のバウンダリスキャンテスト回路における出力側バウンダリスキャンセルの例を示すブロック図である

【符号の説明】

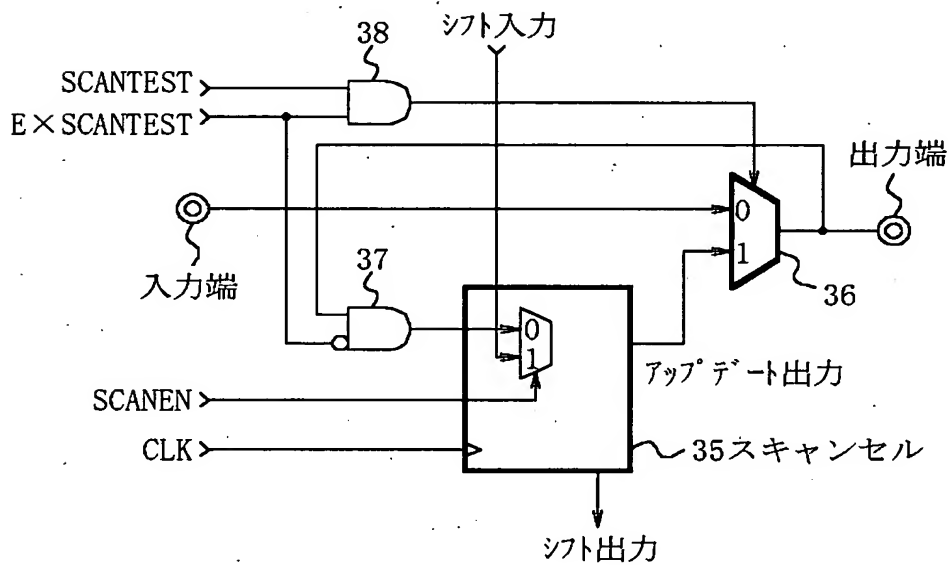
- 1 マクロ
- 2 周辺回路
- 3, 4 バウンダリスキャンテスト回路
- 3 1, 3 5, 5 1, 5 5, 4 1 1, 4 1 2, 4 5 1, 4 5 2 スキャンセル
- 3 2, 3 6, 4 2, 4 6, 5 2, 5 6 セレクタ
- 3 3, 3 4, 3 7, 3 8, 4 3, 4 4, 4 7, 4 8, 5 3, 5 7 ゲート
- B I 1 ~ B I x 入力側バウンダリスキャンセル
- B O 1 ~ B O x 出力側バウンダリスキャンセル

【書類名】 図面

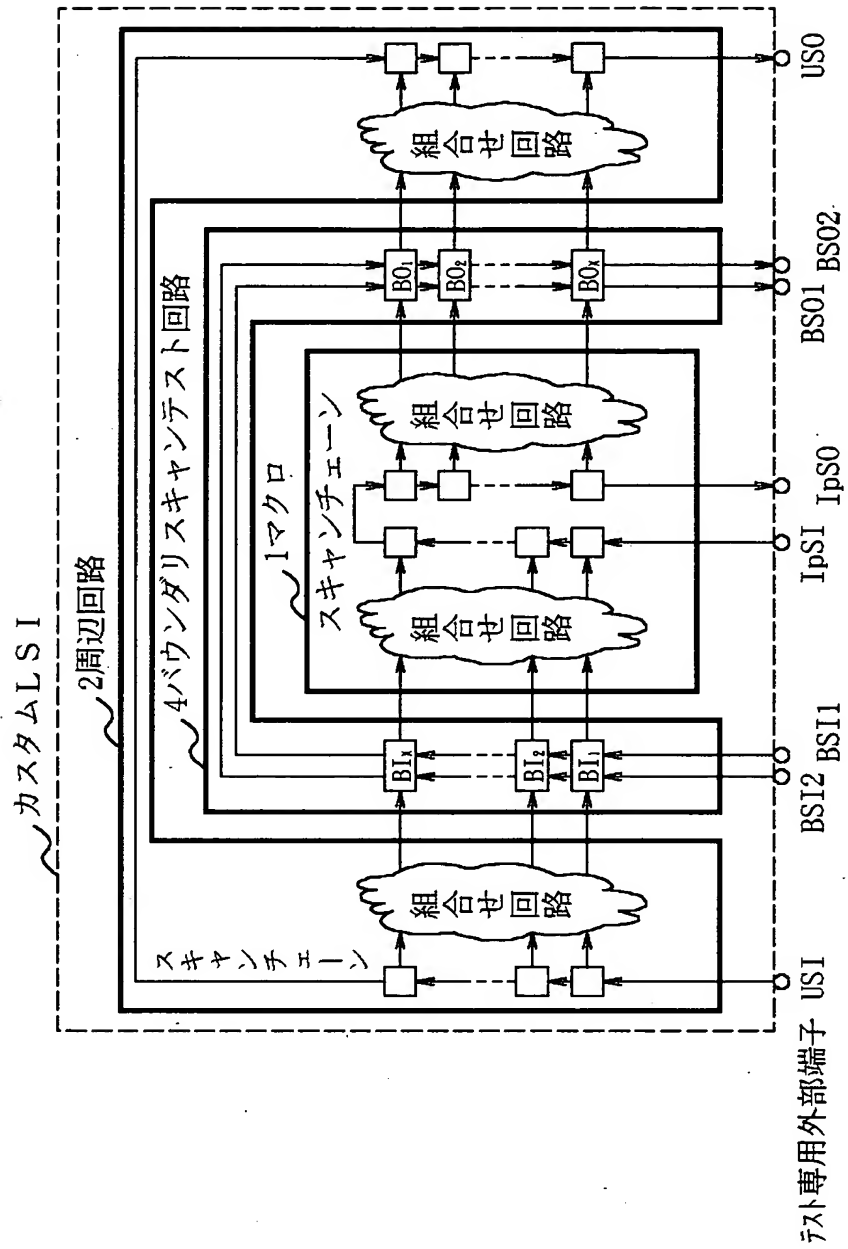
【図 1】



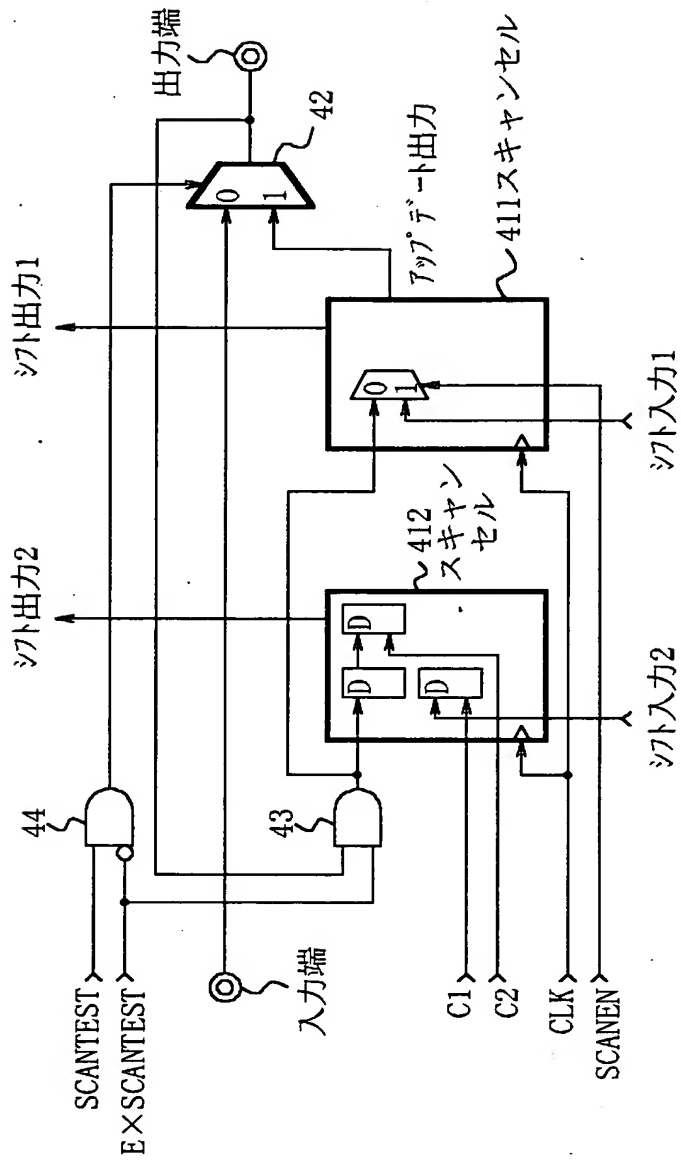
【図 2】



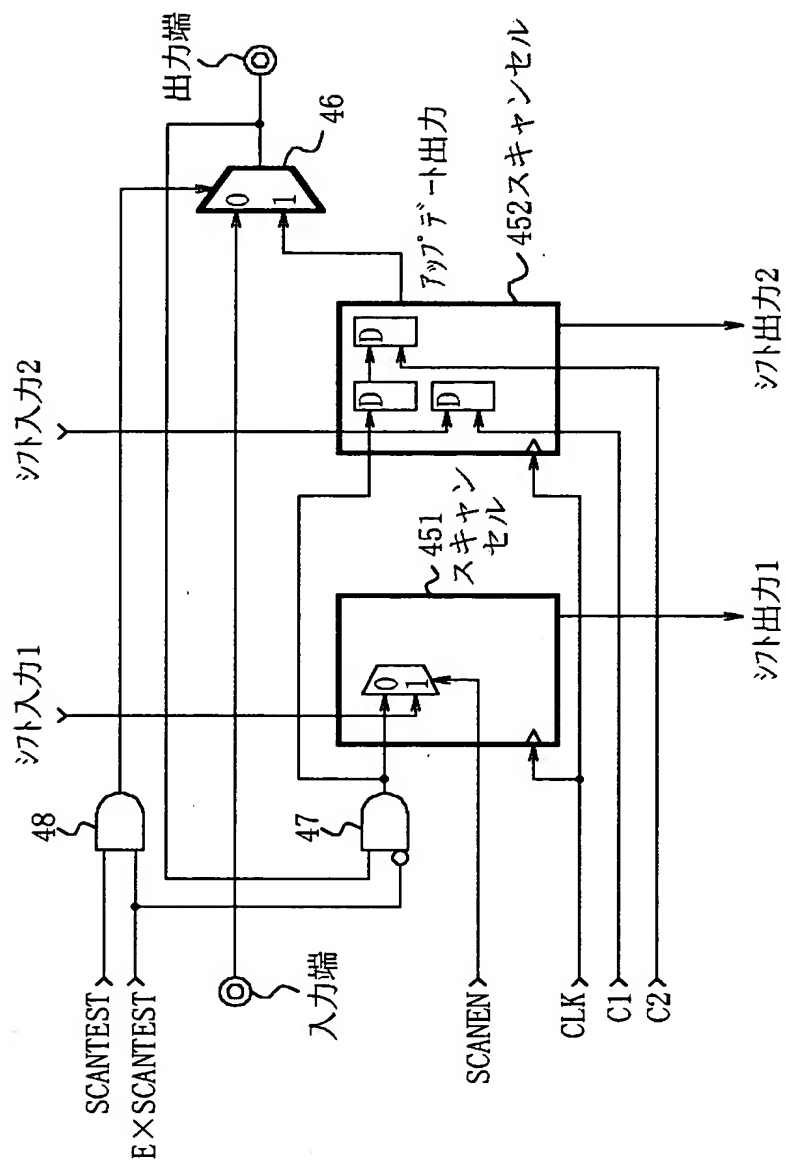
【図 3】



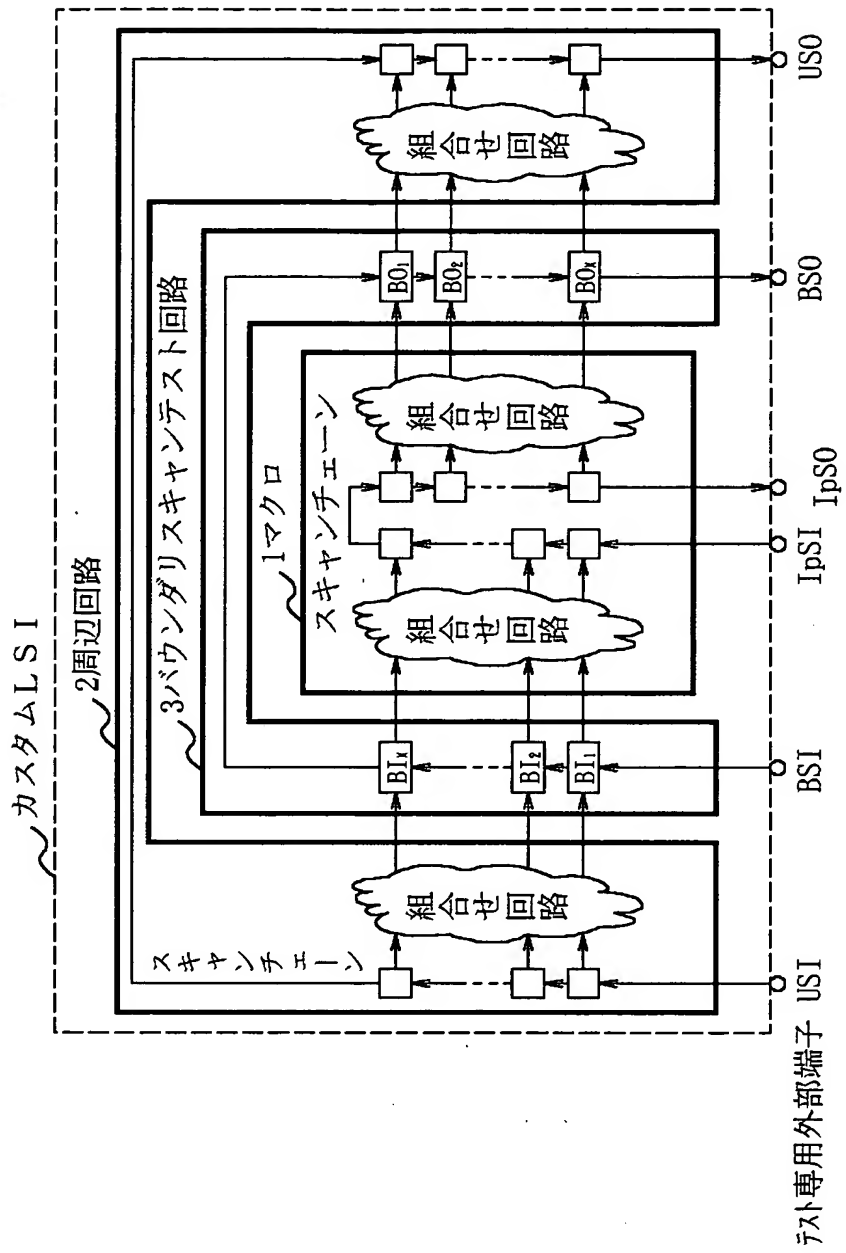
【図 4】



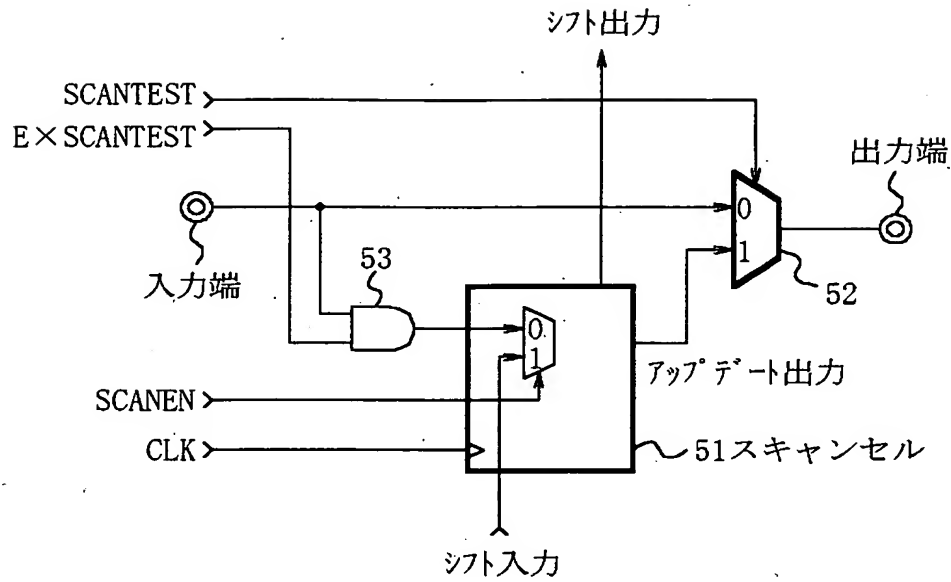
【図5】



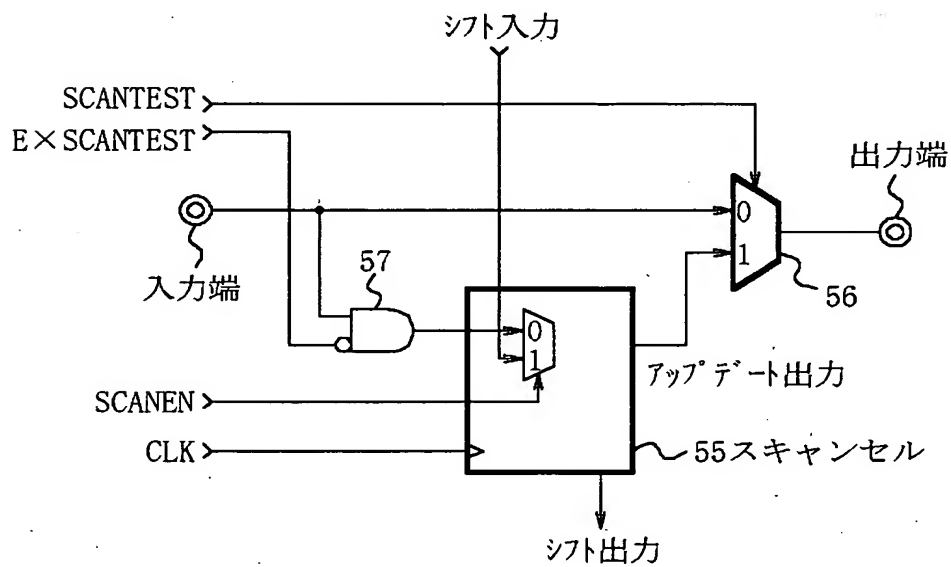
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 バウンダリスキャンテスト回路の故障検出を容易化し、カスタムLSIのテスト品質を改善する。

【解決手段】 入力側バウンダリスキャンセルBSI1～BSIxにおいて、セレクタ32が、スキャンセル31のアップデート出力および入力端の信号を入力し、ゲート34の出力により共通に制御され、テストモード時を示すテスト制御信号SCANTESTと、テストモード時にマクロ1の外部側をテスト対象として選択指定するテスト制御信号ExSCANTESTとが‘1’，‘0’の場合のみ、スキャンセル31のアップデート出力を選択し出力端へ出力する。また、テスト制御信号SCANTESTが‘0’の場合、または、テスト制御信号SCANTEST，テスト制御信号ExSCANTESTが‘1’，‘1’の場合、入力端の信号を選択し出力端へ出力する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-260040
受付番号	50201329425
書類名	特許願
担当官	第一担当上席 0090
作成日	平成14年 9月 6日

<認定情報・付加情報>

【提出日】 平成14年 9月 5日

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2002-260040
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 N E C エレクトロニクス株式会社
【承継人代理人】
 【識別番号】 100109313
 【弁理士】
 【氏名又は名称】 机 昌彦
【提出物件の目録】
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 平成15年1月10日提出の特願2002-31848
 8の出願人名義変更届（一般承継）に添付のものを援用
 する。
 【物件名】 承継人であることを証明する承継証明書 1
 【援用の表示】 平成15年1月10日提出の特願2002-29761
 2の出願人名義変更届（一般承継）に添付のものを援用
 する。
 【包括委任状番号】 0215753
【ブルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-260040
受付番号	50300206699
書類名	出願人名義変更届（一般承継）
担当官	鎌田 柁規 8045
作成日	平成15年 4月18日

<認定情報・付加情報>

【提出日】 平成15年 2月10日

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日	2002年11月 1日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部1753番地
氏 名	NECエレクトロニクス株式会社